

등록사항

등록원부신청

Print



※ 등록원부 신청서비스는 특허청을 통해 제공되며 특허청에 별도의 인증과정을 거쳐셔야 합니다.

등록번호/일자 10-0343432-0000 (2002.06.25)
 출원번호/일자 10-2000-0042377 (2000.07.24)
 공고번호/일자 (2002.07.11)
 등록결정(심결)연월일 2002.03.25
 청구범위의 항수 30
 유 별 H01L 23/48
 발명(고안)의 명칭 반도체 패키지 및 그 패키지 방법
 SEMICONDUCTOR PACKAGE AND PACKAGE METHOD
 존속기간(예정)만료일 2020.07.24
 소멸구분/일자

※ 개인의 신상정보를 보호하기 위하여 내용의 일부를 제한합니다.

※ KIPRIS검색시스템에서는 최초권리자 정보만 서비스합니다. 그 외의 권리자를 보고자 할 경우 등록원부신청 서비스를 이용하십시오.

— 최초권리자 정보

권리자 동부전자 주식회사 (서울 강남구 역삼*동 *** - 대한민국)

발명자 박계찬 (경기도 수원시 팔달구 매탄*동***-** - 대한민국)

— 연차료 정보

순서	연차기간	금액	납부일자
1	01 ~ 03	2,070,000	2002.06.26
2	04 ~ 04	810,000	2005.03.11

Print



(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) 。 Int. Cl. 7
H01L 23/48

(11) 공개번호 특2002 -0009087
(43) 공개일자 2002년02월01일

(21) 출원번호 10 -2000 -0042377
(22) 출원일자 2000년07월24일

(71) 출원인 동부전자 주식회사
한신혁
서울 강남구 역삼1동 838
(72) 발명자 박계찬
경기도수원시팔달구매탄1동173 -50
(74) 대리인 장성구

심사청구 : 있음

(54) 반도체 패키지 및 그 패키지 방법

요약

본 발명은 경박 단소화, 저가격화 및 공정 간소화를 실현하고, 패키지 제품의 신뢰도를 증진시킬 수 있도록 한 반도체 칩 패키지 및 그 패키지 방법에 관한 것으로, 이를 위하여 본 발명은, 세라믹 패키지 또는 EMC를 사용하는 종래의 반도체 패키지와는 달리, 세라믹 패키지 또는 EMC를 사용하지 않고 글라스, 금속 패턴 및 솔더 볼을 이용하여 기판에 직접 장착할 수 있도록 하기 때문에, 반도체 패키지의 저가격화 및 고신뢰화를 실현할 수 있을 뿐만 아니라 경박 단소화 및 공정 간소화를 효과적으로 실현할 수 있는 것이다.

대표도
도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 바람직한 실시 예에 따라 기판 상에 탑재되는 반도체 패키지의 단면도,

도 2a 내지 2f는 본 발명에 따라 반도체 패키지를 제조하는 과정을 도시한 공정 순서도,

도 3은 금속 패턴과 댐이 형성된 글라스의 평면도,

도 4a는 종래 반도체 패키지의 일 예에 대한 평면도,

도 4b는 도 4a에 도시된 반도체 패키지의 A -A' 선을 따라 절단한 단면도,

도 5a는 종래 반도체 패키지의 다른 예에 대한 평면도,

도 5b는 도 5a에 도시된 반도체 패키지의 A -A' 선을 따라 절단한 단면도.

< 도면의 주요부분에 대한 부호의 설명 >

202 : 반도체 칩 204 : 알루미늄 패드

206 : 골드 범프 208 : 글라스

210 : 내부 패드 212 : 외부 패드

214 : 금속 패턴 216 : 밀봉재

218 : 솔더 볼

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지에 관한 것으로, 더욱 상세하게는 메모리 소자, 로직 소자, CCD 소자 등의 반도체 칩을 기판(즉, PCB 보드) 상에 실장하는 데 적합한 반도체 패키지 및 그 패키지 방법에 관한 것이다.

최근 들어, 반도체 칩(반도체 소자) 등을 이용하는 거의 모든 전자 시스템(예를 들면, 컴퓨터, PCS, 셀룰러폰, PDA 등)은 소비자(이용자)들의 욕구 충족을 위해 점진적으로 고기능화 및 경박 단소화 되어 가는 추세이며, 이러한 추세에 순응할 수 있는 설계 및 제조 공정 기술의 획기적인 발전에 따라 전자 시스템에 채용되는 반도체 칩 또한 고기능화 및 경박 단소화 되어 가고 있다.

한편, 반도체 패키지 기술을 구현하는 전형적인 종래 방법으로는 세라믹 패키지를 사용하는 방법과 플라스틱 패키지인 에폭시 몰딩 컴파운드(epoxy molding compound : EMC)를 사용하는 방법이 있다.

상기한 방법 중 첫 번째 방법에 따라 제조된 반도체 패키지는 도 4a 및 4b에 도시된 바와 같은 구조를 갖는다.

즉, 도 4a는 세라믹 패키지를 사용하여 제조한 종래 반도체 패키지의 일 예에 대한 평면도이고, 도 4b는 도 4a에 도시된 반도체 패키지의 A -A' 선을 따라 절단한 단면도이다.

도 4a 및 4b를 참조하면, 종래 반도체 패키지는 다수의 외부 리드(403)를 갖는 세라믹 패키지(401)에 반도체 칩(407)을 다이 본딩하고, 에폭시 경화 과정을 거쳐 알루미늄 또는 골드 와이어(413)를 이용하여 반도체 칩(407) 상의 패드(409)와 골드 패드(411)간을 전기적으로 접속(즉, 와이어 본딩을 통한 전기적 접속)한 후, 글라스(405)를 패키지의 상부에 밀봉(sealing)함으로써, 그 제조를 완성한다. 여기에서, 패키지의 상부를 글라스로 밀봉하는 것은 반도체 칩이 오염되는 것을 방지하기 위해서이다.

그러나, 상기한 종래의 반도체 패키지는 세라믹 패키지의 가격이 매우 고가인 관계로 제조 비용이 높고, 구조적인 특성 때문에 경박 단소화에 한계를 가질 수밖에 없으며, 외부 리드의 수(즉, 세라믹 패키지의 경우 최대 200핀, 통상 패키지의 경우 최대 305핀 등)에 한계를 갖는다는 문제가 있다.

한편, 상술한 방법 중 두 번째 방법에 따라 제조된 반도체 패키지는 도 5a 및 5b에 도시된 바와 같은 구조를 갖는다.

즉, 도 5a는 종래 반도체 패키지의 다른 예에 대한 평면도이고, 도 5b는 도 5a에 도시된 반도체 패키지의 A-A' 선을 따라 절단한 단면도이다.

도 5a 및 5b를 참조하면, 종래 반도체 패키지는 다수의 외부 리드(503)를 갖는 에폭시 몰딩 컴파운드(EMC)(501)에 반도체 칩(507)을 다이 본딩하고, 에폭시 경화 과정을 거쳐 알루미늄 또는 골드 와이어(513)를 이용하여 반도체 칩(507) 상의 패드(509)와 골드 패드(511)간을 전기적으로 접속(즉, 와이어 본딩을 통한 전기적 접속)한 후 몰딩하며, 글라스(505)를 패키지의 상부에 밀봉(sealing)하고, 전처리 경화 및 마무리 공정을 수행함으로써, 그 제조를 완성한다.

그러나, 상기한 종래의 반도체 패키지는, 세라믹을 이용하는 반도체 패키지에서와 마찬가지로, 경박 단소화 및 외부 리드의 수 한계에 대한 문제를 가질 뿐만 아니라 에폭시 몰딩 컴파운드(EMC)와 글라스 사이에 형성되는 마이크로 갭으로 인해 패키지의 품질과 신뢰도가 현저하게 떨어지고, 많은 프로세서로 인한 기술적인 어려움이 수반되는 또 다른 문제를 갖는다.

더욱이, EMC를 이용한 종래의 반도체 패키지는 에폭시 몰딩 컴파운드(EMC)에서 발생하는 알파 입자원으로 인해 반도체 패키지의 신뢰도가 현저하게 저하되는 문제를 가지며, 또한 EMC로 인해 디바이스의 액티브 영역이 오염됨으로서, 패키지의 신뢰도를 더욱 저하시키는 문제를 갖는다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래 기술의 문제점을 해결하기 위한 것으로, 경박 단소화, 저가격화 및 공정 간소화를 실현하고, 패키지 제품의 신뢰도를 증진시킬 수 있는 반도체 패키지 및 그 패키지 방법을 제공하는 데 그 목적이 있다.

상기 목적을 달성하기 위한 일 관점에 따른 본 발명은, 기판 상에 전기적으로 접속되며, 주변에 다수의 전극 패드를 갖는 반도체 칩을 포함하는 반도체 패키지에 있어서, 상기 각 전극 패드 상에 형성되는 다수의 골드 범프; 글라스 상에 형성되어 상기 각 골드 범프와 전기적으로 접속되는 다수의 내부 패드; 상기 글라스 상에 형성되며, 상기 각 내부 패드로부터 각각 신장하는 금속 패턴을 통해 대응하는 각 내부 패드에 접속되는 다수의 외부 패드; 상기 각 내부 패드로부터 소정 길이 만큼 떨어진 위치에서 상기 각 내부 패드들을 둘러싸는 형태로 연결 형성된 댐; 상기 댐과 반도체 칩의 주변 간을 밀봉하는 밀봉재; 및 상기 각 외부 패드에 각각 형성된 다수의 솔더 볼로 이루어진 반도체 패키지를 제공한다.

상기 목적을 달성하기 위한 다른 관점에 따른 본 발명은, 기판 상에 전기적으로 접속되며, 주변에 다수의 전극 패드를 갖는 반도체 칩을 포함하는 반도체 패키지를 제조하는 방법에 있어서, 상기 반도체 칩의 각 알루미늄 패드 상에 골드 범프를 형성하는 과정; 패터닝 공정을 수행하여 준비된 글라스의 상부에 내부 패드, 금속 패턴 및 외부 패드로 구성되어 상기 다수의 각 골드 범프에 각각 대응하는 다수의 패턴 구조를 형성하는 과정; 상기 금속 패턴들의 상부에 상기 각 내부 패드들을 둘러싸는 형태로 연결되는 댐을 형성하는 과정; 상기 각 골드 범프와 대응하는 각 내부 패드가 전기적으로 접속되는 형태로 상기 반도체 칩과 글라스를 본딩하는 과정; 상기 각 외부 패드를 제외한 상기 반도체 칩의 주변을 밀봉재로 밀봉하는 과정; 및 상기 각 외부 패드의 상부에 솔더 볼을 형성하는 과정으로 이루어진 반도체 패키지 방법을 제공한다.

발명의 구성 및 작용

본 발명의 상기 및 기타 목적과 여러 가지 장점은 이 기술분야에 숙련된 사람들에 의해 첨부된 도면을 참조하여 하기에 기술되는 본 발명의 바람직한 실시예로부터 더욱 명확하게 될 것이다.

이하 첨부된 도면을 참조하여 본 고안의 바람직한 실시예에 대하여 상세하게 설명한다.

도 1은 본 발명의 바람직한 실시예에 따라 기판 상에 탑재되는 반도체 패키지의 단면도이다.

도 1을 참조하면, 본 발명의 반도체 패키지는 기판에 직접 장착할 수 있는 구조를 가지며, 반도체 칩(202)에는 알루미늄 패드(전극)(204) 상에 골드 범프(206)가 형성되고, 글라스(208)에는 금속 패턴(214)을 통해 연결되는 내부 패드(210)와 외부 패드(212)가 형성되는 데, 내부 패드(210)에는 골드 범프(206)가 연결되고, 외부 패드(212)에는 솔더 볼(218)이 형성된다. 이때, 반도체 칩(202)은 오염 방지를 위해 밀봉재(216)에 의해 밀봉된다.

이때, 단면 구조의 특성상 도 1에서 그 구조가 나타나지는 않았지만 반도체 칩(202)은 4면 주위로 알루미늄 패드가 형성되어 있으며, 각 알루미늄 패드 상에는 골드 범프가 각각 형성된다.

여기에서, 알루미늄 패드(204) 상에 형성되는 골드 범프(206)는, 경박 단소화를 고려할 때, 50 - 175 μ m 정도의 높이와 50 - 100 μ m 정도의 볼 직경이 바람직하며, 골드 범프(206)의 높이는 티어링(tearing), 풀링(pulling) 또는 코이닝(coining) 등의 방법을 사용하여 조절할 수 있다.

따라서, 글라스(208)에는, 일 예로서 도 3에 도시된 바와 같이, 반도체 칩(202)의 4면에 형성된 각 알루미늄 패드(204) 상에 형성된 각 골드 범프(206)에 대응하는 다수의 패턴 구조, 즉 내부 패드(210), 금속 패턴(214) 및 외부 패드(212)로 된 다수의 패턴 구조가 형성되고, 각 내부 패드(210)로부터 소정 길이(대략 20 μ m 이상) 만큼 떨어진 위치에 내부 패드(210)들을 포획하는(둘러싸는) 형태로 댐(Dam)(216)이 형성되어 있다. 이때, 외부 패드(212)를 제외한 부분(즉, 내부 패드(210) 및 금속 패턴(214))은 반도체 칩(202) 등의 보호를 위해 밀봉재(예를 들면, 에폭시 또는 폴리머 계통의 수지)(216)로 밀봉되어 있다.

여기에서, 내부 패드(210), 외부 패드(212) 및 금속 패턴(214)은 인듐 + 주석, 인듐 + 주석 + 구리, 인듐 + 주석 + 골드 또는 인듐 + 주석 + 구리 + 골드로 된 혼합물로 형성하거나 혹은 상기한 혼합물들과 거의 동등한 전기적 특성을 갖는 금속으로 형성할 수 있다.

이때, 금속 패턴(214)은 그 두께가 적어도 1 μ m 보다 크고, 폭이 적어도 50 μ m 보다 크게 형성되고, 내부 패드(210)의 사이즈는, 골드 범프(206)와의 접촉을 고려할 때, 적어도 50 \times 50 μ m 보다 크며, 외부 패드(212)의 사이즈는, 솔더 볼(218)의 형성을 고려할 때, 적어도 75 \times 75 μ m 보다 크게 하는 것이 바람직하다.

한편, 내부 패드(210)들을 둘러싸는 형태로 형성된 댐(216)은, 스크린 프린팅 또는 디스펜싱 방법으로 형성할 수 있는데, 바람직하게는 대략 10 - 70 μ m 범위의 높이와 대략 30 - 100 μ m 범위의 폭을 가지며, 성분으로는 솔벤트가 없는 불투명 계통(에폭시, 폴리머 계통 등)의 수지가 바람직하다.

또한, 외부 패드(212) 상에 형성되는 솔더 볼(218)은 주석 : 납의 조성비가 60 - 80 : 40 - 20 wt%이고, 신뢰도를 높이기 위한 도펀트로서 실버, 골드, 크롬 또는 코발트 등을 사용할 수 있으며, 그 사이즈는 대략 10 - 40mil 정도이다.

따라서, 상술한 바와 같은 구조를 갖는 본 발명의 반도체 패키지는, 고가의 세라믹 패키지를 사용하지 않음으로써 저가 격화를 실현할 수 있고, 제품의 신뢰도를 저하시키는 알파 입자원을 발생하는 EMC(즉, 플라스틱 패키지)를 사용하지 않음으로써 제품의 신뢰도를 현저하게 증진시킬 수 있다.

다음에, 상술한 바와 같은 구조를 갖는 본 발명의 반도체 패키지를 제조하는 과정에 대하여 설명한다.

도 2a 내지 2f는 본 발명에 따라 반도체 패키지를 제조하는 과정을 도시한 공정 순서도이다.

도 2a를 참조하면, 일련의 반도체 제조 공정을 통해 완성된 반도체 칩, 즉 4번 주위를 따라 다수의 알루미늄 패드(204)가 일정한 간격으로 형성된 반도체 칩(202)의 각 알루미늄 패드(204) 상에 골드 범프(206)를 형성한다. 여기에서, 골드 범프(206)의 형성에는 SBB(Stud Bump Bonding) 방법을 이용할 수 있다.

이때, 반도체 패키지의 경박 단소화를 위해, 골드 범프(204)의 높이는 50 - 175 μ m 정도, 그 볼 직경은 50 - 100 μ m 정도가 바람직하고, 그 높이는 티어링(tearing), 풀링(pulling) 또는 코이닝(coining) 등의 방법을 사용하여 조절할 수 있으며, 범프의 형성 조건은 온도 범위가 150 - 280 $^{\circ}$ C, 압력이 50 - 250g, 파워가 30 - 150mW 이다.

다음에, 준비된 글라스(208)의 상부에 패터닝 공정을 수행함으로써, 일 예로서 도 2b에 도시된 바와 같이, 전기적으로 서로 접속되는 내부 패드(210), 금속 패턴(214) 및 외부 패드(212)로 된 임의의 패턴 구조를 형성한다. 즉, 반도체 칩(202)의 4번에 형성된 각 알루미늄 패드(204) 상에 형성된 각 골드 범프(206)에 대응하는 패턴 구조(즉, 내부 패드(210), 금속 패턴(214) 및 외부 패드(212)로 된 다수의 패턴 구조)를 형성한다.

여기에서, 내부 패드(210), 외부 패드(212) 및 금속 패턴(214)은 인듐 + 주석, 인듐 + 주석 + 구리, 인듐 + 주석 + 골드 또는 인듐 + 주석 + 구리 + 골드로 된 혼합물로 형성하거나 혹은 상기한 혼합물들과 거의 동등한 전기적 특성을 갖는 금속으로 형성될 수 있으며, 금속 패턴(214)은 그 두께가 적어도 1 μ m 보다 크고, 폭이 적어도 50 μ m 보다 크게 형성되며, 내부 패드(210)의 사이즈는, 골드 범프(206)와의 접속을 고려하여, 적어도 50 \times 50 μ m 보다 크게 형성하고, 외부 패드(212)의 사이즈는, 솔더 볼(218)의 형성을 고려하여, 적어도 75 \times 75 μ m 보다 크게 형성한다.

이어서, 일 예로서 도 2c 및 도 3에 도시된 바와 같이, 스크린 프린팅 또는 디스펜싱 방법을 이용하여 각 내부 패드(210)로부터 소정 길이(대략 20 μ m 이상) 만큼 떨어진 위치에서 내부 패드(210)들을 둘러싸는 형태로 소정 높이의 댐(Dam)(216)을 형성하는 데, 그 높이는 10 - 70 μ m 범위, 폭은 30 - 100 μ m 범위를 가지며, 성분으로는 솔벤트가 없는 불투명 계통(에폭시, 폴리머 계통 등)의 수지를 사용할 수 있다. 여기에서, 도 2c는 도 3에서 A-A' 선을 따라 절단한 단면도를 나타낸다.

다음에, 각 알루미늄 패드(204) 상에 골드 범프(206)가 형성된 반도체 칩(202)의 골드 형성 측과 내부 패드(210), 외부 패드(212), 금속 패턴(214) 및 댐(216)이 형성된 글라스(208)의 댐 형성 측을 정렬시켜, 보다 상세하게 각 골드 범프(206)가 대응하는 내부 패드(210)에 접촉하도록 정렬시켜 열압축 공정을 수행함으로써, 일 예로서 도 2d에 도시된 바와 같이, 각 골드 범프(206)를 대응하는 각 내부 패드(210)에 본딩, 즉 반도체 칩과 글라스간을 본딩시킨다.

이때, 반도체 칩을 글라스에 본딩시키는 열압축 공정의 조건은 온도 범위가 100 - 150 $^{\circ}$ C, 압력 범위가 20 - 50gf/Bump, 시간이 대략 2 - 5초이다.

이어서, 글라스 소자의 신뢰성과 패턴의 신뢰성을 확보하기 위하여, 일 예로서 도 2e에 도시된 바와 같이, 반도체 칩(202) 주변, 즉 각 외부 패드(212)를 제외한 반도체 칩(202)의 4 주변에 상온 또는 70 - 120 $^{\circ}$ C에서 경화시킬 수 있는 재료(예를 들면, 에폭시 또는 폴리머 계통의 수지 등)로 밀봉하여 밀봉재(216)를 형성한다.

마지막으로, 외부 패드(212)의 상부 각각에 주석 : 납의 조성비가 60 - 80 : 40 - 20 wt%인 솔더 볼(218)을 형성함으로써 일 예로서 도 2f에 도시된 바와 같은 구조의 반도체 패키지를 완성하는 데, 이때 도펀트로서 실버, 골드, 크롬 또는 코발트 등을 사용함으로써 소자의 신뢰성을 높일 수 있으며, 솔더 볼(218)의 사이즈는 대략 10 - 40mil 정도가 바람직하다.

한편, 본 실시 예에서는 반도체 칩의 각 알루미늄 패드(전극)에 골드 범프를 형성하고, 글라스에 내부 패드, 금속 패턴, 외부 패드 및 댐을 형성한 후에 반도체 칩과 글라스를 본딩하여 반도체 패키지를 제조하는 것으로 하여 설명하였으나, 이와는 달리, 글라스를 먼저 형성하고 나중에 반도체 칩의 각 알루미늄 패드에 골드 범프를 형성한 후 반도체 칩과 글라스를 본딩하여 반도체 패키지를 제조할 수도 있다.

따라서, 상술한 바와 같은 공정들을 통해 제조되는 본 발명의 반도체 패키지는, 고가의 세라믹 패키지를 사용하지 않기 때문에 저가격화를 실현할 수 있고, 제품의 신뢰도를 저하시키는 알파 입자원을 발생하는 EMC(즉, 플라스틱 패키지)를 사용하지 않기 때문에 제품의 신뢰도를 현저하게 증진시킬 수 있으며, 전술한 종래 반도체 패키지에 비해 경박 단소화 및 공정 간소화를 실현할 수 있다.

발명의 효과

이상 설명한 바와 같이 본 발명에 따르면, 세라믹 패키지 또는 EMC를 사용하는 전술한 종래의 반도체 패키지와는 달리, 세라믹 패키지 또는 EMC를 사용하지 않고 글라스, 금속 패턴 및 솔더 볼을 이용하여 기판에 직접 장착할 수 있도록 함으로써 저가격화 및 고신뢰화를 실현할 수 있을 뿐만 아니라 경박 단소화 및 공정 간소화를 효과적으로 실현할 수 있다.

(57) 청구의 범위

청구항 1.

기판 상에 전기적으로 접속되며, 주변에 다수의 전극 패드를 갖는 반도체 칩을 포함하는 반도체 패키지에 있어서,

상기 각 전극 패드 상에 형성되는 다수의 골드 범프;

글라스 상에 형성되어 상기 각 골드 범프와 전기적으로 접속되는 다수의 내부 패드;

상기 글라스 상에 형성되며, 상기 각 내부 패드로부터 각각 신장하는 금속 패턴을 통해 대응하는 각 내부 패드에 접속되는 다수의 외부 패드;

상기 각 내부 패드로부터 소정 길이 만큼 떨어진 위치에서 상기 각 내부 패드들을 둘러싸는 형태로 연결 형성된 댐;

상기 댐과 반도체 칩의 주변간을 밀봉하는 밀봉재; 및

상기 각 외부 패드에 각각 형성된 다수의 솔더 볼로 이루어진 반도체 패키지.

청구항 2.

제 1 항에 있어서, 상기 각 골드 범프는, 그 높이가 50 - 175 μ m의 범위이고, 직경이 50 - 100 μ m의 범위인 것을 특징으로 하는 반도체 패키지.

청구항 3.

제 2 항에 있어서, 상기 각 골드 범프의 높이는, 티어링(tearing), 풀링(pulling) 또는 코이닝(coining)의 방법을 사용하여 조절 가능한 것을 특징으로 하는 반도체 패키지.

청구항 4.

제 1 항에 있어서, 상기 내부 패드, 금속 패턴 및 외부 패드는, 인듐 + 주석, 인듐 + 주석 + 구리, 인듐 + 주석 + 골드 또는 인듐 + 주석 + 구리 + 골드로 된 혼합물인 것을 특징으로 하는 반도체 패키지.

청구항 5.

제 4 항에 있어서, 상기 금속 패턴은, 그 두께가 적어도 $1\mu\text{m}$ 보다 크고, 폭이 적어도 $50\mu\text{m}$ 보다 크게 형성되는 것을 특징으로 하는 반도체 패키지.

청구항 6.

제 4 항에 있어서, 상기 내부 패드는 그 사이즈가 적어도 $50\times 50\mu\text{m}$ 보다 크고, 상기 외부 패드는 그 사이즈가 적어도 $75\times 75\mu\text{m}$ 보다 크게 형성되는 것을 특징으로 하는 반도체 패키지.

청구항 7.

제 1 항에 있어서, 상기 댄은, 에폭시 또는 폴리머 계열의 수지인 것을 특징으로 하는 반도체 패키지.

청구항 8.

제 7 항에 있어서, 상기 댄은, 스크린 프린팅 또는 디스펜싱 방법으로 형성되는 것을 특징으로 하는 반도체 패키지.

청구항 9.

제 7 항에 있어서, 상기 댄은, 그 높이가 $10 - 70\mu\text{m}$ 범위이고, 폭이 $30 - 100\mu\text{m}$ 범위인 것을 특징으로 하는 반도체 패키지.

청구항 10.

제 1 항에 있어서, 상기 밀봉재는, 에폭시 또는 폴리머 계열의 수지인 것을 특징으로 하는 반도체 패키지.

청구항 11.

제 1 항에 있어서, 상기 솔더 볼은 주석과 납의 조성물이고, 그 조성비는 $60 - 80 : 40 - 20$ 의 범위를 갖는 것을 특징으로 하는 반도체 패키지.

청구항 12.

제 11 항에 있어서, 상기 솔더 볼은, 도펀트로써 실버, 골드, 크롬 또는 코발트를 함유하는 것을 특징으로 하는 반도체 패키지.

청구항 13.

제 11 항 또는 제 12 항에 있어서, 상기 솔더 볼은, $10 - 40\text{mil}$ 의 사이즈를 갖는 것을 특징으로 하는 반도체 패키지.

청구항 14.

기판 상에 전기적으로 접속되며, 주변에 다수의 전극 패드를 갖는 반도체 칩을 포함하는 반도체 패키지를 제조하는 방법에 있어서,

상기 반도체 칩의 각 알루미늄 패드 상에 골드 범프를 형성하는 과정;

패터닝 공정을 수행하여 준비된 글라스의 상부에 내부 패드, 금속 패턴 및 외부 패드로 구성되어 상기 다수의 각 골드 범프에 각각 대응하는 다수의 패턴 구조를 형성하는 과정;

상기 금속 패턴들의 상부에 상기 각 내부 패드들을 둘러싸는 형태로 연결되는 댄을 형성하는 과정;

상기 각 골드 범프와 대응하는 각 내부 패드가 전기적으로 접속되는 형태로 상기 반도체 칩과 글라스를 본딩하는 과정;

상기 각 외부 패드를 제외한 상기 반도체 칩의 주변을 밀봉재로 밀봉하는 과정; 및

상기 각 외부 패드의 상부에 솔더 볼을 형성하는 과정으로 이루어진 반도체 패키지 방법.

청구항 15.

제 14 항에 있어서, 상기 골드 범프는, 온도 150 -280℃, 압력 50 -250g, 파워 30 -150mW의 공정 조건에서 형성되는 것을 특징으로 하는 반도체 패키지 방법.

청구항 16.

제 15 항에 있어서, 상기 각 골드 범프는, 그 높이가 50 - 175 μ m의 범위이고, 직경이 50 - 100 μ m의 범위인 것을 특징으로 하는 반도체 패키지 방법.

청구항 17.

제 16 항에 있어서, 상기 각 골드 범프의 높이는, 티어링(tearing), 풀링(pulling) 또는 코이닝(coining)의 방법을 사용하여 조절 가능한 것을 특징으로 하는 반도체 패키지 방법.

청구항 18.

제 14 항에 있어서, 상기 내부 패드, 금속 패턴 및 외부 패드는, 인듐 + 주석, 인듐 + 주석 + 구리, 인듐 + 주석 + 골드 또는 인듐 + 주석 + 구리 + 골드로 된 혼합물인 것을 특징으로 하는 반도체 패키지 방법.

청구항 19.

제 18 항에 있어서, 상기 금속 패턴은, 그 두께가 적어도 1 μ m 보다 크고, 폭이 적어도 50 μ m 보다 크게 형성되는 것을 특징으로 하는 반도체 패키지 방법.

청구항 20.

제 18 항에 있어서, 상기 내부 패드는 그 사이즈가 적어도 50 \times 50 μ m 보다 크고, 상기 외부 패드는 그 사이즈가 적어도 75 \times 75 μ m 보다 크게 형성되는 것을 특징으로 하는 반도체 패키지 방법.

청구항 21.

제 14 항에 있어서, 상기 댄은, 에폭시 또는 폴리머 계열의 수지인 것을 특징으로 하는 반도체 패키지 방법.

청구항 22.

제 21 항에 있어서, 상기 댄은, 스크린 프린팅 또는 디스펜싱 방법으로 형성되는 것을 특징으로 하는 반도체 패키지 방법.

청구항 23.

제 21 항에 있어서, 상기 댄은, 그 높이가 10 - 70 μ m 범위이고, 폭이 30 - 100 μ m 범위인 것을 특징으로 하는 반도체 패키지 방법.

청구항 24.

제 14 항에 있어서, 상기 반도체 칩과 글라스는 열압착 공정을 통해 본딩되는 것을 특징으로 하는 반도체 패키지 방법.

청구항 25.

제 24 항에 있어서, 상기 열압착 공정은, 온도 100 -250℃, 압력 20 -50gf/Bump, 시간 2 -5sec의 조건에서 수행되는 것을 특징으로 하는 반도체 패키지 방법.

청구항 26.

제 14 항에 있어서, 상기 밀봉재는, 에폭시 또는 폴리머 계열의 수지인 것을 특징으로 하는 반도체 패키지 방법.

청구항 27.

제 26 항에 있어서, 상기 밀봉재는, 상온 또는 70 -120℃의 온도 조건에서 경화되는 것을 특징으로 하는 반도체 패키지 방법.

청구항 28.

제 14 항에 있어서, 상기 솔더 볼은 주석과 납의 조성물이고, 그 조성비는 60 - 80 : 40 - 20의 범위를 갖는 것을 특징으로 하는 반도체 패키지 방법.

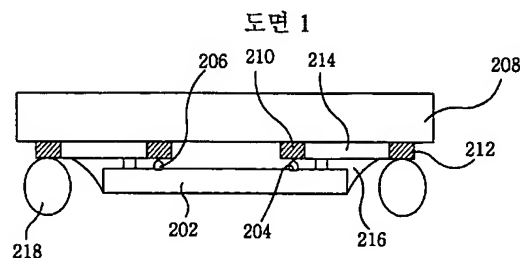
청구항 29.

제 28 항에 있어서, 상기 솔더 볼은, 도편트로서 실버, 골드, 크롬 또는 코발트를 함유하는 것을 특징으로 하는 반도체 패키지 방법.

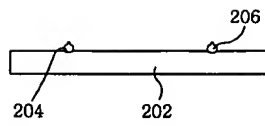
청구항 30.

제 28 항 또는 제 29 항에 있어서, 상기 솔더 볼은, 10 - 40mil의 사이즈를 갖는 것을 특징으로 하는 반도체 패키지 방법.

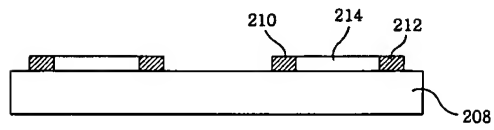
도면



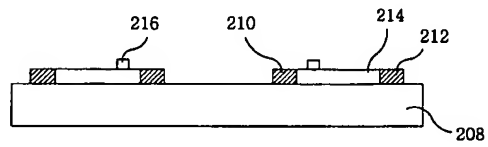
도면 2a



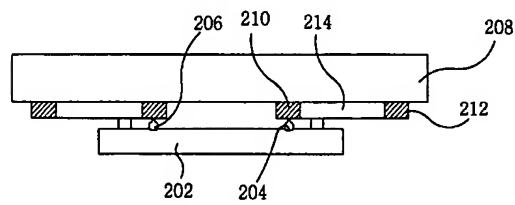
도면 2b



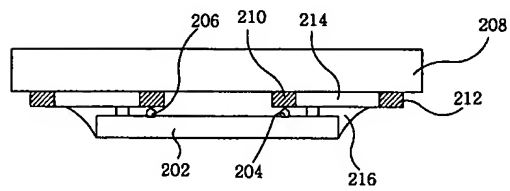
도면 2c



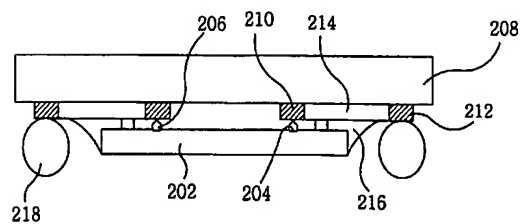
도면 2d



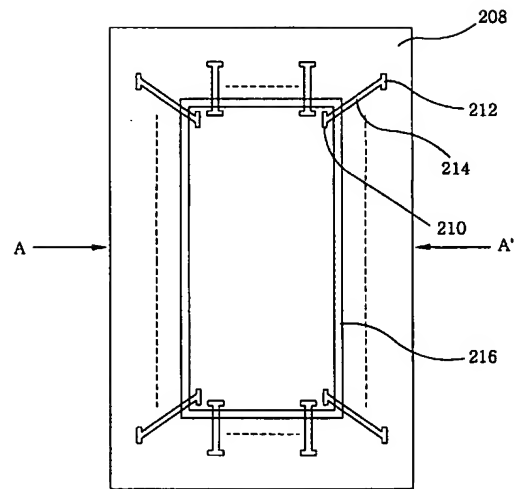
도면 2e



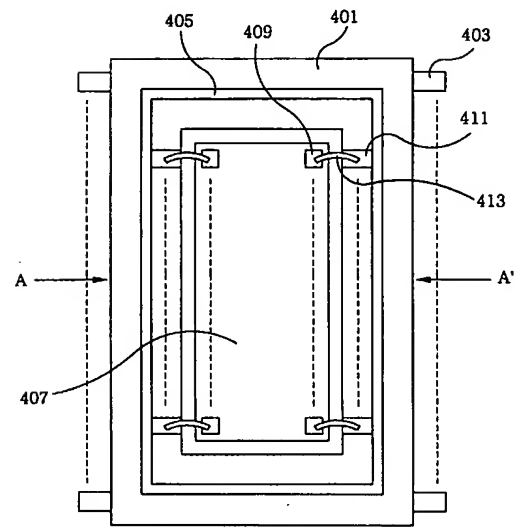
도면 2f



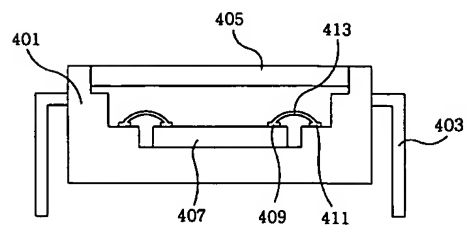
도면 3



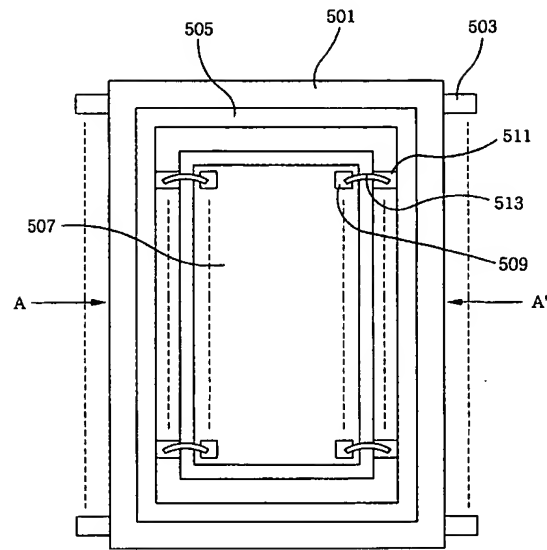
도면 4a



도면 4b



도면 5a



도면 5b

